

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-275527

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

H01L 21/76  
H01L 21/304

(21)Application number : 04-285052

(71)Applicant : SONY CORP

(22)Date of filing : 30.09.1992

(72)Inventor : GOCHO TETSUO  
HAYAKAWA HIDEAKI

(30)Priority

Priority number : 03340260

Priority date : 29.11.1991

Priority country : JP

03340269

29.11.1991

03360530

30.12.1991

JP

04 35676

27.01.1992

JP

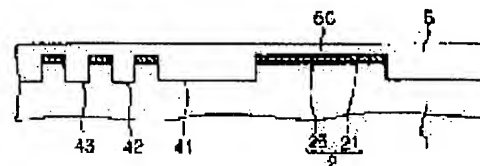
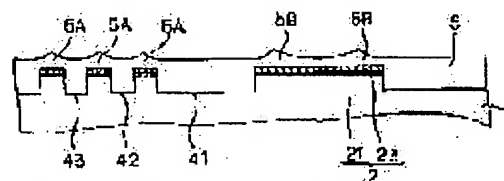
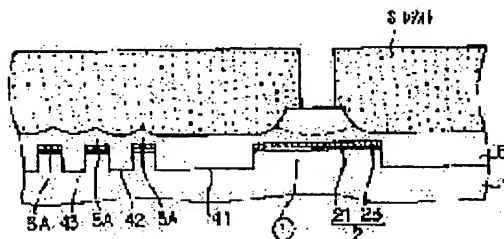
JP

(54) METHOD OF FORMING TRENCH ISOLATION BY POLISHING STEP AND  
MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To flatten a burned-in material without being left on a wide projection region for forming the trench isolation in excellent flatness by isotropically etching away the buried-in material before starting polishing step.

CONSTITUTION: Trenches 41-43 are formed by depositing means simultaneously advancing etching step and depositing step so as to form a buried-in material layer 5. Next, after patterning a resist 3 to be left on the parts excluding a wide projection region (1), the buried-in material 5 is isotropically etched away. At this time, an upper layer 23 is not to be completely removed but to be etched away until it attains the same film thickness as that of SiO<sub>2</sub> 5A on the projections in narrow width. Next, the protrusions 5A, 5B only formed by the isotropical etching step are polished. Next, the buried-in material 5 is etched away until the poly-Si surface on the upper layer 23 is exposed so as to remove the T-SiO<sub>2</sub> of the lower layer 21. Through these procedures, the buried-in material 5 can be flattened without being left on the wide projection region.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-275527

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl.<sup>5</sup>H 0 1 L 21/76  
21/304

識別記号

L 9169-4M  
3 2 1 M 8728-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数26(全 24 頁)

(21) 出願番号	特願平4-285052	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成4年(1992)9月30日	(72) 発明者	牛脇 哲雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31) 優先権主張番号	特願平3-340260	(72) 発明者	早川 秀明 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(32) 優先日	平3(1991)11月29日	(74) 代理人	弁理士 高月 亨
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平3-340269		
(32) 優先日	平3(1991)11月29日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平3-360530		
(32) 優先日	平3(1991)12月30日		
(33) 優先権主張国	日本 (J P)		

最終頁に続く

(54) 【発明の名称】 ポリッシュ工程を備えたトレンチアイソレーションの形成方法及び半導体装置の製造方法

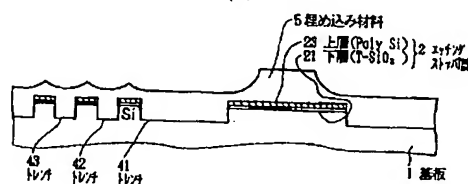
## (57) 【要約】

【目的】 広い(長い)凸部領域上に埋め込み材料が残ることなく平坦化を達成でき、よって平坦性の良好なトレンチアイソレーションを形成できる手段、被ポリッシュ部上にポリッシュストップの作用を示す部分の分布に疎密がある場合にあっても、良好な平坦化形状を形成することができる手段の提供。

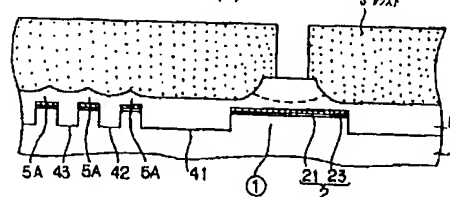
【構成】 等方エッチング工程、多層エッチングストップ構造、凸部均一化構造を設けることにより、均一な、あるいはポリッシュ残りのないポリッシュを達成して、半導体装置を得る。

実施例1の工程

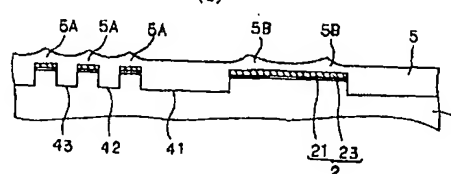
(a)



(b)



(c)



(2)

特開平5-275527

1

## 【特許請求の範囲】

【請求項1】エッチングと堆積とを同時進行的に行う堆積手段によりトレンチを埋め込む埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含むトレンチアイソレーションの形成方法において、

ポリッシュ工程前に、埋め込み材料を等方的にエッチングする等方エッチング工程を少なくとも含むことを特徴とするトレンチアイソレーションの形成方法。

【請求項2】3層構造からなるエッチングストップ層を有し、

そのエッチングストップ層の上層が埋め込み材料のポリッシュレートより小さいレートを有しかつエッチングレートも埋め込み材料より小さいレートである膜で形成され、

中間層が上層のエッチレートより小さいエッチレートを有する膜で形成され、

下層が中間層より小さいエッチレートでなかつ基板よりエッチレートの大きい膜で形成された構造においてトレンチを形成することを特徴とする請求項1に記載のトレンチアイソレーションの形成方法。

【請求項3】請求項1に記載のトレンチアイソレーションの形成方法を用いることによってトレンチアイソレーションを形成する半導体装置の製造方法。

【請求項4】請求項2に記載のトレンチアイソレーションの形成方法を用いることによってトレンチアイソレーションを形成する半導体装置の製造方法。

【請求項5】バイアスECR-CVD法によりトレンチを埋め込む埋め込み工程と、

埋め込み材料を等方的にエッチングすることにより広い凸部領域上の埋め込み材料をエッチングする等方エッチング工程と、

ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む工程によりトレンチアイソレーションを形成する半導体装置の製造方法。

【請求項6】トレンチアイソレーションを形成する基板が3層構造からなるエッチングストップ層を有し、該エッチングストップ層の上層がシリコンナイトライドから成り、中間層がポリシリコンから成り、下層が二酸化シリコン膜から成る構造においてトレンチを形成することによって、トレンチアイソレーションを形成する半導体装置の製造方法。

【請求項7】複数の凸部パターンにより形成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、

ポリッシュのストップ層の密度が疎である部分に、あらかじめポリッシュのストップ層となるパターンを形成し、該パターンは最終的には除去することを特徴とする

2

ポリッシュ工程を備えた半導体装置の製造方法。

【請求項8】広い凸部領域と狭い凸部狭域とを有する複数の凸部パターンを有する半導体基板上において、該複数の凸部パターンにより形成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、ポリッシュのストップ層の密度が疎である部分に、あらかじめポリッシュのストップ層となるパターンでかつ最終的には除去するものであるパターンを形成する工程と、

ポリッシュによる平坦化工程に先立って広い凸部領域上の埋め込み材料を少なくとも部分的にエッチングする工程とを備えることを特徴とするポリッシュ工程を備えた半導体装置の製造方法。

【請求項9】基板上に複数の凸部パターンが形成され、これらの間の凹部により構成される溝に埋め込みを行う場合、ポリッシュのストップ層が形成されている凸部パターンの密度が疎である部分については、あらかじめポリッシュのストップ層となるパターンを形成して凸部が均一に分布する構造としてストップ層の面積の占める率が均等になるようにし、その後埋め込み材料を堆積し、次いで凸部パターン及び前記あらかじめ形成したパターン上の埋め込み材料をポリッシュで除去して平坦化構造を得る工程を備えた半導体装置の製造方法。

【請求項10】埋め込み材料が二酸化シリコンであり、ポリッシュのストップとなる層がシリコンナイトライドから成る請求項7ないし9のいずれかに記載の半導体装置の製造方法。

【請求項11】埋め込み材料が二酸化シリコンであり、埋め込み材料の形成にバイアスECR-CVD法を用いる請求項7ないし10のいずれかに記載の半導体装置の製造方法。

【請求項12】埋め込み材料が二酸化シリコンであり、埋め込み材料の形成に常圧CVD法を用いる請求項7ないし10のいずれかに記載の半導体装置の製造方法。

【請求項13】有機シリコン系ガスを用いてCVD二酸化シリコンを形成する請求項12に記載の半導体装置の製造方法。

【請求項14】ポリッシュのストップとなる層がシリコンナイトライドから成り、ポリッシュによる平坦化工程に先立って広い凸部領域上の埋め込み材料を少なくとも部分的に除去する工程が、被エッチング部以外をレジストでマスクして等方エッチングする手段によることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項15】複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、

ポリッシュ工程の後に基板上にレジストを形成するレジ

(3)

特開平5-275527

3

4

スト形成工程と、

被埋め込み凹部以外の部分に残存する埋め込み材料を露出させてレジストパターンを形成するレジストパターン形成工程と、

レジストパターンをマスクとして、被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を備えることを特徴とする半導体装置の製造方法。

【請求項16】複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、基板上に平坦化層を形成する平坦化層形成工程と、平坦化層と埋め込み材料とのエッチング速度が等しい条件でエッチバックするエッチバック工程を備えることを特徴とする半導体装置の製造方法。

【請求項17】バイアスECR-CVD法により、ポリッシュのストップとなる層としてのシリコンナイトライド膜を有する基板上の複数の凹部を二酸化シリコンを埋め込み材料として埋め込み、次にポリッシュにより埋め込み材料を平坦化するポリッシュ工程を行い、このポリッシュ工程の後の基板上にレジストを形成するレジスト形成工程と、被埋め込み凹部以外の部分に残存する埋め込み材料である除去しきれない埋め込み材料を露出させてレジストパターンを形成するレジストパターン形成工程とを行い、次いで該レジストパターンをマスクとして、被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を行うことにより、除去しきれない埋め込み材料の残存なく埋め込み平坦化を行うことを特徴とする半導体装置の製造方法。

【請求項18】複数の凹部が形成され、ポリッシュのストップとなる層としてシリコンナイトライド膜が形成された基板上に、バイアスECR-CVD法により二酸化シリコンを堆積して凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程と、基板上にレジストまたはSOGにより平坦化層を形成する平坦化層形成工程と、平坦化層と埋め込み材料とのエッチング速度が等しい条件でエッチバックするエッチバック工程を備えることを特徴とする半導体装置の製造方法。

【請求項19】上部にポリッシュのストップ層を備えた複数の凸部パターンを形成する工程と、該複数の凸部パターンにより形成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、凹部埋め込み後、少なくとも、前記凹部の埋め込み材料上に、第2のポリッシュストップ層を形成することを特徴とするポリッシュ工程を備えた半導体装置の製造方

法。

【請求項20】上部にポリッシュのストップ層を備えた複数の凸部パターンを形成する工程と、該複数の凸部パターンにより形成された広い凹部と狭い凹部とを含む複数の凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、

凹部埋め込み後、少なくとも、前記凹部の埋め込み材料上全面に、第2のポリッシュストップ層を形成することを特徴とするポリッシュ工程を備えた半導体装置の製造方法。

【請求項21】上部にポリッシュのストップ層であるシリコンナイトライド層とこのシリコンナイトライド層のエッチングストップ層であるポリSi層とを備えた基板上に複数の凸部パターンを形成し、該複数の凸部パターンにより形成された凹部を二酸化シリコンを埋め込み材料としてCVD法により形成し、その凹部埋め込み後、全面に第2のポリッシュストップ層を形成し、レジストを用いたエッチング工程によって、前記ポリッシュのストップ層の密度が疎である部分の広い凹部の埋め込み材料上にのみ第2のポリッシュストップ層を残し、その後、凹部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を行う半導体装置の製造方法。

【請求項22】二酸化シリコンである埋め込み材料の形成は、 $\text{O}_3$ -TEOS-CVD法によることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項23】埋め込み材料の形成及びポリッシュのストップ層をCVD法により形成する請求項19ないし22のいずれかに記載の半導体装置の製造方法。

【請求項24】埋め込み材料の形成及びポリッシュのストップ層を、エッチングと堆積とを同時進行的に行う堆積手段によって形成する請求項19ないし22のいずれかに記載の半導体装置の製造方法。

【請求項25】エッチングと堆積とを同時進行的に行う堆積手段が、バイアスECR-CVD法である請求項24に記載の半導体装置の製造方法。

【請求項26】トレンチをなす凹部の全面に第2のポリッシュストップ層を形成する請求項24または25に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ポリッシュ工程を備えたトレンチアイソレーションの形成方法、及びポリッシュ工程を備えた半導体装置の製造方法に関する。本発明は、各種電子材料等におけるトレンチアイソレーション（溝型素子間分離）の形成や、トレンチアイソレーションを有する各種半導体装置の製造方法、その他凹部埋め込み工程とその後の平坦化ポリッシュ工程とを有する各種半導体装置の製造方法として利用することができる。

5

また、複数の凸部パターンにより形成された（即ち凸部パターンと凸部パターンとの間に画成された）凹部を埋め込み材料により埋め込み工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法として利用することができる。

【0002】

【従来の技術】ポリッシュ技術の適用分野は広く、例えば半導体装置の製造の際に、半導体基板などの基体上に生じた凹凸を平坦化するのに利用することが可能である（例えば、特開昭60-39835号参照）。

【0003】一方半導体装置の分野では、デバイスの大容量化が進んでおり、チップ面積をできる限り小さくして大容量化を図るための各種技術が開発されており、例えばそのために、多層配線技術が必須のものとなっている。この多層配線技術においては、多層配線の断切れを防止するために、下地の平坦化が非常に重要となる。なぜならば、下地に凹凸があると、これによって生じる段差上で断線（いわゆる断切れ）が発生するからである。下地の平坦化を良好に行うためには、初期工程からの平坦化が重要となる。

【0004】このため例えば、平坦なトレンチアイソレーション等が考えられている。トレンチアイソレーションとは、半導体基板に形成した溝（トレンチ）に絶縁材を埋め込んで素子間分離を行うための技術であり、溝（トレンチ）を微細に形成できるので高集積化にとって有利である。しかし、溝（トレンチ）の埋め込み後は、溝以外に堆積した埋め込み材料からなる凸状部を除去して平坦化する必要がある。溝は、2つの凸部パターンの間の凹部として形成できるが、この凹部（溝）に埋め込み材料を埋め込むと、それ以外の凸部パターン上にも埋め込み材料が堆積して凸状部を形成するので、これを平坦化しなければならないからである。この平坦なトレンチアイソレーションを形成する方法として、図22に示す方法がある。

【0005】この手法においては、まず図22（A）に示したように、シリコンなどからなる半導体基板1上に薄いシリコン酸化膜2及び薄いシリコンナイトライド膜3を形成した後、フォトリソグラフィ工程を用いてエッチングにより溝41、42、43を形成し、更に酸化により酸化シリコン層2である内壁酸化膜を形成した半導体基板を用意する。

【0006】次に、図22（B）に示すように溝41～43に、CVD等の堆積手法により埋め込み材料5を堆積させ、図示の構造とする。このとき溝42～43以外の部分にも埋め込み材料5が厚く堆積してしまい、凸状部51が生じる。

【0007】よって、図22（C）に示すように、この凸状部51をポリッシュにより除去して、平坦化する。このときのポリッシュのストップ層としては、埋め込み材料

(4)

特開平5-275527

6

5がシリコン酸化物であれば、例えばこれよりポリッシュ速度の遅いシリコンナイトライド膜3を用いればよい。

【0008】このような手法については、トレンチアイソレーションプロセスの他にも、溝の埋め込みを伴うトレンチキャパシタの形成、トレンチコンタクト（トレンチプラグ）の形成、ブランケットW-CVD法による層形成等の平坦な層間絶縁膜形成プロセスにも応用されている。

【0009】

【発明が解決しようとする課題】ところがこの技術の問題点は、図23（A）に示すように広い凹部領域①と狭い凸部領域②とが形成されている場合、トレンチ41～43の埋め込み後、ダイレクトにポリッシュを行うと、図23（B）のように、広い凸部領域①上の埋め込み材料5について、その中央部に、除去しきれない埋め込み材料52（SiO<sub>2</sub>等）が残ってしまい、次工程において例えばホットリン酸によりストップ層2である例えばSi<sub>3</sub>N<sub>4</sub>等を除去する際、埋め込み材料52であるSiO<sub>2</sub>等が浮いてしまい、パーティクルの発生を招く結果となる。

【0010】この問題を解決するための対策法として、例えばIBMでは、1989年のIEDMに次のような技術を発表している（IEDM89、PP61-64）。即ち図24（a）に示されるブロックレジスト31を埋め込み材料5であるCVD-SiO<sub>2</sub>の凹部に形成し、その上にレジストコーティング膜3を形成し、次にエッチバックを行う。これにより図24（b）の構造を得る。そしてポリッシュにより平坦化を行って、図24（c）の平坦化構造とする。ところがこの方法では、図25（d）に示すようにブロックレジストのパターニングがずれて符号31'に示すような凹部から外れたレジストが形成されると、レジストコーティング膜3'を形成しても十分な平坦性が得られず、図25（e）に示すように埋め込み材料5が平坦にならず、結果としてポリッシュによる平坦化も難しくなる。

【0011】また、次のような問題もある。即ち、ポリッシュによる平坦化技術は、ポリッシュ（研磨）の度合いが下地パターンに依存して、不均一になることがあるという問題を有する。図26を用いてこの問題点を説明する。

【0012】図26において、複数の凸部パターン61～64の各間の凹部として、溝41～43が構成されている。これらの凸部パターン61～64は、ポリッシュの際のストップパとして機能する。図26に示すように、凸部パターン61が存在する図示Aの部分は、凸部パターン61の密度が小さい。凸部パターン62～64が存在する図示Bの部分は、単位面積中に凸部パターンの存在する率（凸部パターンの面積が占める割合）が大きく、凸部パターンの密度は大である。図示例は、凸部パターン61～64上にポリッシュストップ層3であるシリコンナイトライド等が形

7

成されているので、図示Aの部分は単位面積中にストップパ層3の占める面積が小さく、よってその密度は小となり、一方、図示Bの部分は単位面積中にストップパ層3の占める面積が大きいため、ポリッシュストップパ層3の密度は大となる。このようにポリッシュストップパ層3（ここでは凸部パターン61～64に伴って存在する）の占める率に疎密があると、ポリッシュが不均一になる傾向が大きい。

【0013】例えば、周辺回路において、そこに存在するポリッシュストップパ層として機能する凸部パターンの単位面積当たりの面積比が低い場合（例えば、図26中の領域Aのような場合）には、該凸部パターン（ストップパ層）にポリッシュ時の研磨圧力が集中するためポリッシュレートが速くなり、凸部パターン（ストップパ層）の選択比だけでは不十分となり、図26（b）に示すように孤立するパターン61が削られてしまい、ストップパ層としての所定の効果を有さなくなる。この結果、図26（b）のように領域Aは凹んだ形になって、均一で良好な平坦化は達成できない。

【0014】従って、このようにポリッシュストップパ層の分布に疎密がある場合（例えば上記のように凸部パターンに疎密があつて、これに伴ってポリッシュストップパ層の占める率に疎密ができる場合）についても、その面積比の低い部分、即ちポリッシュストップパの役割を果たす部分が疎である回路パターン部分においても、良好なポリッシュ平坦化が達成できる技術が所望されている。

【0015】

【発明の目的】本発明は、上述した従来の問題点を解決して、広い（長い）凸部領域上に埋め込み材料が残ることなく平坦化を達成でき、よって平坦性の良好なトレンチアイソレーションを形成できる手段、及びこのようなトレンチアイソレーションを形成した半導体装置の製造手段を提供することが目的である。

【0016】また本発明は、埋め込み後平坦化を行うポリッシュ工程を備えた半導体装置の製造方法において、被ポリッシュ部上にポリッシュストップパの作用を示す部分の分布に疎密がある場合にあつても、単位面積当たりの該ストップパ層の面積比が低い部分でも良好な平坦化形状を形成することができる半導体装置の製造方法を提供することを目的とする。

【0017】

【問題を解決するための手段】本出願の請求項1の発明は、エッチングと堆積とを同時進行的に行う堆積手段によりトレンチを埋め込む埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含むトレンチアイソレーションの形成方法において、ポリッシュ工程前に、埋め込み材料を等方的にエッチングする等方エッチング工程を少なくとも含むことを特徴とするトレンチアイソレーションの形成方法であり、これによって上述した目的を達成するものである。

(5)

特開平5-275527

8

【0018】本出願の請求項2の発明は、3層構造からなるエッチングストップパ層を有し、そのエッチングストップパ層の上層が埋め込み材料のポリッシュレートより小さいレートを有しかつエッチングレートも埋め込み材料より小さいレートである膜で形成され、中間層が上層のエッチレートより小さいエッチレートを有する膜で形成され、下層が中間層より小さいエッチレートでなおかつ基板よりエッチレートの大きい膜で形成された構造においてトレンチを形成することを特徴とする請求項1に記載のトレンチアイソレーションの形成方法であり、これによって上述した目的を達成するものである。

【0019】本出願の請求項3の発明は、請求項1に記載のトレンチアイソレーションの形成方法を用いることによってトレンチアイソレーションを形成する半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0020】本出願の請求項4の発明は、請求項2に記載のトレンチアイソレーションの形成方法を用いることによってトレンチアイソレーションを形成する半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0021】本出願の請求項5の発明は、バイアスECR-CVD法によりトレンチを埋め込む埋め込み工程と、埋め込み材料を等方的にエッチングすることにより広い凸部領域上の埋め込み材料をエッチングする等方エッチング工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む工程によりトレンチアイソレーションを形成する半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0022】本出願の請求項6記載の発明は、トレンチアイソレーションを形成する基板が3層構造から成るエッチングストップパ層を有し、該エッチングストップパ層の上層がシリコンナイトライドから成り、中間層がポリシリコンから成り、下層が二酸化シリコン膜から成る構造においてトレンチを形成することによって、トレンチアイソレーションを形成する半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0023】本出願の請求項7の発明は、複数の凸部パターンにより形成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、ポリッシュのストップパ層の密度が疎である部分に、あらかじめポリッシュのストップパ層となるパターンを形成し、該パターンは最終的には除去することを特徴とするポリッシュ工程を備えた半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0024】本出願の請求項8の発明は、広い凸部領域と狭い凸部狭域とを有する複数の凸部パターンを有する半導体基板上において、該複数の凸部パターンにより形

(6)

特開平5-275527

9

10

成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、ポリッシュのストップ層の密度が疎である部分に、あらかじめポリッシュのストップ層となるパターンでかつ最終的には除去するものであるパターンを形成する工程と、ポリッシュによる平坦化工程に先立って広い凸部領域上の埋め込み材料を少なくとも部分的にエッチングする工程とを備えることを特徴とするポリッシュ工程を備えた半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0025】本出願の請求項9の発明は、基板上に複数の凸部パターンが形成され、これらの間の凹部により構成される溝に埋め込みを行う場合、ポリッシュのストップ層が形成されている凸部パターンの密度が疎である部分については、あらかじめポリッシュのストップ層となるパターンを形成して凸部が均一に分布する構造としてストップ層の面積の占める率が均等になるようにし、その後埋め込み材料を堆積し、次いで凸部パターン及び前記あらかじめ形成したパターン上の埋め込み材料をポリッシュで除去して平坦化構造を得る工程を備えた半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0026】本出願の請求項10の発明は、埋め込み材料が二酸化シリコンであり、ポリッシュのストップとなる層がシリコンナイトライドから成る請求項7ないし9のいずれかに記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0027】本出願の請求項11の発明は、埋め込み材料が二酸化シリコンであり、埋め込み材料の形成にバイアスECR-CVD法を用いる請求項7ないし10のいずれかに記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0028】本出願の請求項12の発明は、埋め込み材料が二酸化シリコンであり、埋め込み材料の形成に常圧CVD法を用いる請求項7ないし10のいずれかに記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0029】本出願の請求項13の発明は、有機シリコン系ガスをを用いてCVD二酸化シリコンを形成する請求項12に記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0030】本出願の請求項14の発明は、ポリッシュのストップとなる層がシリコンナイトライドから成り、ポリッシュによる平坦化工程に先立って広い凸部領域上の埋め込み材料を少なくとも部分的に除去する工程が、被エッチング部以外をレジストでマスクして等方エッチングする手段によることを特徴とする請求項8に記載の半導体装置の製造方法であり、これによって上述した目的

を達成するものである。

【0031】本出願の請求項15の発明は、複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、ポリッシュ工程の後に基板上にレジストを形成するレジスト形成工程と、被埋め込み凹部以外の部分に残存する埋め込み材料を露出させてレジストパターンを形成するレジストパターン形成工程と、レジストパターンをマスクとして、被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を備えることを特徴とする半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0032】本出願の請求項16の発明は、複数の凹部が形成された基板上に堆積手段により凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程とを含む半導体装置の製造方法において、基板上に平坦化層を形成する平坦化層形成工程と、平坦化層と埋め込み材料とのエッチング速度が等しい条件でエッチバックするエッチバック工程を備えることを特徴とする半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0033】本出願の請求項17の発明は、バイアスECR-CVD法により、ポリッシュのストップとなる層としてのシリコンナイトライド膜を有する基板上の複数の凹部を二酸化シリコンを埋め込み材料として埋め込み、次にポリッシュにより埋め込み材料を平坦化するポリッシュ工程を行い、このポリッシュ工程の後の基板上にレジストを形成するレジスト形成工程と、被埋め込み凹部以外の部分に残存する埋め込み材料である除去しきれない埋め込み材料を露出させてレジストパターンを形成するレジストパターン形成工程とを行い、次いで該レジストパターンをマスクとして、被埋め込み凹部以外の部分に残存する埋め込み材料を除去する除去工程を行うことにより、除去しきれない埋め込み材料の残存なく埋め込み平坦化を行うことを特徴とする半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0034】本出願の請求項18の発明は、複数の凹部が形成され、ポリッシュのストップとなる層としてシリコンナイトライド膜が形成された基板上に、バイアスECR-CVD法により二酸化シリコンを堆積して凹部埋め込み材料を形成する埋め込み工程と、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程と、基板上にレジストまたはSOGにより平坦化層を形成する平坦化層形成工程と、平坦化層と埋め込み材料とのエッチング速度が等しい条件でエッチバックするエッチバック工程を備えることを特徴とする半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0035】本出願の請求項19の発明は、上部にポリッ



(7)

特開平5-275527

11

シユのストップ層を備えた複数の凸部パターンを形成する工程と、該複数の凸部パターンにより形成された凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、凹部埋め込み後、少なくとも、前記凹部の埋め込み材料上に、第2のポリッシュストップ層を形成することを特徴とするポリッシュ工程を備えた半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0036】本出願の請求項20の発明は、上部にポリッシュのストップ層を備えた複数の凸部パターンを形成する工程と、該複数の凸部パターンにより形成された広い凹部と狭い凹部とを含む複数の凹部を埋め込み材料により埋め込む工程と、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を含むポリッシュ工程を備えた半導体装置の製造方法において、凹部埋め込み後、少なくとも、前記凹部の埋め込み材料上全面に、第2のポリッシュストップ層を形成することを特徴とするポリッシュ工程を備えた半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0037】本出願の請求項21の発明は、上部にポリッシュのストップ層であるシリコンナイトライド層とこのシリコンナイトライド層のエッチングストップ層であるポリS1層とを備えた基板上に複数の凸部パターンを形成し、該複数の凸部パターンにより形成された凹部を二酸化シリコンを埋め込み材料としてCVD法により形成し、その凹部埋め込み後、全面に第2のポリッシュストップ層を形成し、レジストを用いたエッチング工程によって、前記ポリッシュのストップ層の密度が疎である部分の広い凹部の埋め込み材料上にのみ第2のポリッシュストップ層を残し、その後、凹部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を行う半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0038】本出願の請求項22の発明は、二酸化シリコンである埋め込み材料の形成は、 $\text{O}_3$ -TEOS-CVD法によることを特徴とする請求項21に記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0039】本出願の請求項23の発明は、埋め込み材料の形成及びポリッシュのストップ層をCVD法により形成する請求項19ないし22のいずれかに記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0040】本出願の請求項24の発明は、埋め込み材料の形成及びポリッシュのストップ層を、エッチングと堆積とを同時進行的に行う堆積手段によって形成する請求項19ないし22のいずれかに記載の半導体装置の製造方法

12

であり、これによって上述した目的を達成するものである。

【0041】本出願の請求項25の発明は、エッチングと堆積とを同時進行的に行う堆積手段が、バイアスECR-CVD法である請求項24に記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0042】本出願の請求項26の発明は、トレンチをなす凹部の全面に第2のポリッシュストップ層を形成する請求項24または25に記載の半導体装置の製造方法であり、これによって上述した目的を達成するものである。

【0043】

【作用】本出願の発明によれば、広く（長い）凸部領域上のポリッシュされるべき被ポリッシュ材料の大部分はポリッシュに先立つエッチング工程において除去されており、また、残った被ポリッシュ部分は全て突起形状になっているがゆえ平坦面よりポリッシュレートが速く、容易に平坦化が行える。これにより平坦なアイソレーション形成が可能となる。

【0044】例えば、エッチングストップ層の上層が埋め込み材料のエッチングの際のエッチングストップとして機能し、更に、中間層22は上層23に対するストップとして働き（図3及び図4の例参照）、また下層21は中間層22に対するエッチングストップとして作用するので、埋め込み材料のエッチングをストップ層表面が出るまで行うように出来、また、凸部領域上に残る埋め込み材料を、エッチバックを要さず、完全に除去できる。

【0045】また、本出願の発明によれば、上記のように平坦化が良好であるトレンチアイソレーションを有する半導体装置を得ることができる。

【0046】また、本出願の発明によれば、ポリッシュ前にあらかじめ、例えば埋め込み材料をCVD等で堆積させる前、ポリッシュのストップとして機能する例えば凸部パターンが疎である部分について、ポリッシュのストップ層となるダミーパターンを形成し、これによってストップ層の機能を被ポリッシュ部全面で均一に近くなるようにし、好ましくはストップ層面積比が一定以上となるようにダミーパターンを形成し、その後、ポリッシュを行うので、これにより良好な平坦化形状を形成することができる。

【0047】よって、この発明によれば、ポリッシュストップ層の被ポリッシュ部単位面積当たりの面積比が低い場合においても、良好な平坦化形状を形成することが可能となる。

【0048】また、本出願の発明によれば、広い（長い）凸部領域上のポリッシュされるべき被ポリッシュ材料は、これがポリッシュ後残存していても、レジストパターンをマスクとした除去工程により容易に除去され、平坦化が行える。これにより平坦な埋め込みが達成された半導体装置の製造が可能となる。



13

【0049】また、本出願の発明によれば、広い（長い）凸部領域上のポリッシュされるべき被ポリッシュ材料は、これがポリッシュ後残存していても、エッチバック工程により容易に除去され、平坦化が行える。これにより平坦な埋め込みが達成された半導体装置の製造が可能となる。

【0050】また、本出願の発明によれば、凹部埋め込み後、例えば埋め込み材料をCVD等で堆積させた後、少なくとも、凹部埋め込み材料上に、例えばポリッシュのストップ層の密度が疎である部分の凹部の埋め込み材料上に、第2のポリッシュストップ層を形成し、これによってストップ機能が被ポリッシュ部全面で均一に近くなるようにでき、好ましくはストップ層面積比が一定以上となるようにでき、その後、ポリッシュを行うので、これにより均一で良好な平坦化形状を得ることができる。

【0051】よって、この発明によれば、ポリッシュストップ層の被ポリッシュ部単位面積当たりの面積比が低い場合においても、良好な平坦化形状を形成することが可能となる。

【0052】また、本出願の発明によれば、凹部埋め込み後、例えば埋め込み材料をCVD等で堆積させた後、少なくとも、凹部の埋め込み材料上全面に、第2のポリッシュストップ層を形成し、これによってストップ機能が被ポリッシュ部全面で均一に近くなるようにでき、好ましくはストップ層面積比が一定以上となるようにでき、その後、ポリッシュを行うので、これにより均一で良好な平坦化形状を得ることができる。

【0053】よって、この発明によれば、ポリッシュストップ層の被ポリッシュ部単位面積当たりの面積比が低い場合においても、良好な平坦化形状を形成することが可能となる。

【0054】

【実施例】以下、本発明の実施例について図面を参照して説明する。但し当然のことではあるが、本発明は以下の実施例により限定されるものではない。

【0055】実施例1

この実施例は、本出願の請求項1、3の発明を具体化したものである。即ち本出願の発明を微細化集積化した半導体装置の形成に適用したものであり、特にそのトレンチアイソレーションの形成に適用したものである。

【0056】本実施例においては、エッチングと堆積とを同時進行的に行う堆積手段（本例ではバイアスECR-CVD法を採用）によりトレンチ41~43を埋め込む埋め込み工程により、図1（a）に示す構造を得、次に、ポリッシュ工程前に、図1（b）に破線で示すように埋め込み材料5を等方的にエッチングする等方エッチング工程を行って図1（c）の構造とし、その後ポリッシュ工程によって図2（d）に示す平坦な構造を得るものである。

(8)

特開平5-275527

14

【0057】図1（b）の等方エッチング工程により、広い凸部領域上の埋め込み材料5はエッチングされて、図1（c）のように他の部分とほぼ均等な形状となる。よって、残った突起形状の部分をポリッシュすることにより、良好な平坦化が実現される。

【0058】更に具体的には、本実施例は次の（1）～（6）の工程を経るものである。

【0059】（1）基板1（ここではシリコン基板）に、熱酸化膜（ $T-SiO_2$ ）である下層21とポリSi膜である上層23とを形成してこれらによりストップ層2を構成し、更にトレンチ41~43を形成し、かかるSiトレンチにECR-CVD法により、トレンチ深さよりも厚く $SiO_2$ 膜を形成して、埋め込み材料5を層形成する。これにより図1（a）の構造を得る。この時のCVD条件は、例えば、マイクロ波=1000W、RF=500W、 $SiH_4/H_2O=21/35$  sccm、磁場=875 Gauss、圧力= $7 \times 10^{-4}$  torrとすればよい。

【0060】（2）図1（b）に示すように、レジスト3を広い（長い）凸部領域①以外の部分に残るようにパターニングする。

【0061】（3）等方エッチングにて埋め込み材料5である $SiO_2$ を等方エッチングする。例えばフッ酸を40分の1に希釈した溶液を用いてウエットエッチングすればよい。このときは、上層23（Poly-Si）上の $SiO_2$ は完全に除去する必要はなく、残るようにしたままでよい。即ち、幅の狭い凸部上の $SiO_2$  5Aと同じ膜厚にあるまでエッチングすればよい。この部分のエッチング後の突起形状を5Bで示す。その後レジスト3を除去し、図1（c）の構造を得る。

【0062】（4）ポリッシャーによりポリッシュを行う。ポリッシャーとしては、図5に示す装置を用いることができる。その時のポリッシュ条件は、研磨プレートPの回転数=37rpm、ウェハー保持試料台64の回転数=17rpm、研磨圧力（図3の矢印66）=8PSI、スラリーをスラリー導入管61から225ミリリットル/分で導入、パッド67の温度を40℃とすることができる。スラリー（図3中、62で模式的に示す）は、シリカとKOHと水の混合液を用いることができる。例えば研磨時に用いるポリッシュ液（スラリー）として、商品名SC-1（CABOT CORPORATION製）を使用できる。その固形成分はシリカ（全重量の30%）である（pH:10.5-10.7、シリカ粒度:25-35nm、pH調整剤:KOH）。このSC-1を脱イオン水で15-20倍に希釈し、希塩酸またはKOH、NaOH溶液を用いてpHコントロールして、使用できる。図5中、符号63は研磨プレートPの回転軸、65は、被研磨基板10であるウェハーを支持するウェハー保持試料台64の回転軸である。

【0063】このときのポリッシュは、上記（3）で説

15

明した等方エッチング工程で形成された突起部分 5 A, 5 B のみをポリッシュすればよい。突起形状は丸みを帯びた形状よりもポリッシュのレートが速いので、ポリッシュの面内均一性が悪くとも、突起部分のみのエッチングは短時間で行えるので、ウェハー面内の均一性を保つことができる。また、狭い凸部領域上の埋め込み材料 5 である  $\text{SiO}_2$  の突起 5 A の形状は、スタップエッチングと CVD を同時に行えるバイアス ECR-CVD においてのみ形成することができるものであり、コンフォーマルな CVD ではこのような突起形状は形成することはできない。よって、成膜したままの形状でポリッシュして構わない。これにより図 2 (d) の構造が得られる。

【0064】(5) 次に、埋め込み材料 5 の  $\text{SiO}_2$  を上層 23 である  $\text{Poly-Si}$  面が出るまでエッチバックする。例えばマグネトロン RIE を用い、 $C_4F_8 = 50 \text{ sccm}$ ,  $RF = 1200 \text{ W}$ , 圧力 =  $2 \text{ Pa}$  の条件でこれを行うことができる。これにより図 2 (e) の構造が得られる。

【0065】(6) その後、上層 23 の  $\text{Poly-Si}$ 、及び  $\text{Poly-Si}$  のエッチストップとして形成してある下層 21 の  $\text{T-SiO}_2$  を除去すればよい。

#### 【0066】実施例 2

次に実施例 2 を説明する。この実施例も、請求項 1, 3 の発明を具体化してトレンチアイソレーションを形成し、半導体装置を製造するものであるが、本例では特に請求項 2 の発明を適用し、請求項 4 に係る半導体装置の製造方法として具体化した。

【0067】実施例 1 では、図 2 (d) の状態で、トレンチ開口上部まで埋め込み材料をエッチバックする際、即ち図 2 (d) の 5 C で示す凸部領域上の埋め込み材料分だけエッチバックしようとする際、その終点判定ができないので、図 2 (e) に示されるアイソレーション部分の埋め込み材料 5 であるエッチング膜厚の制御が難しかった。実施例 2 は、この問題を解決するものである。

【0068】実施例 2 においては、レジストパターンニング後の埋め込み材料である  $\text{SiO}_2$  エッチングをストップ層の表面が出るまで行うことができ、また、次工程のポリッシュで凸部領域上の埋め込み材料 ( $\text{SiO}_2$ ) を完全に除去することができるので、実施例 1 では必要であったエッチバックが不要となる。

【0069】本実施例は、トレンチアイソレーションを形成する基板 1 が、図 3 (a), (b)、図 4 (c), (d) に示すような、3 層構造からなるエッチングストップ層 2 を有し、そのエッチングストップ層 2 の上層 23 (ここではシリコンナイトライド膜) が埋め込み材料 5 のポリッシュレートより小さいレートを有しかつエッチングレートも埋め込み材料 5 より小さいレートである膜で形成され、中間層 22 (ここではポリシリコン膜) が上層 23 のエッチレートより小さいエッチレートを有する膜で形成され、下層 21 (ここでは熱酸化二酸化シリコン

(9)

特開平 5-275527

16

膜) が中間層 22 より小さいエッチレートでなおかつ基板 1 よりエッチレートの大きい膜で形成された構造においてトレンチアイソレーションを形成するものである。

【0070】更に具体的には、本実施例は次の (1) ~ (6) の工程を経るものである。

【0071】(1) トレンチアイソレーションを形成すべき構造が、最上層 23 が埋め込み材料 5 である  $\text{SiO}_2$  のポリッシュのストップ層となる材料として例えば  $\text{Si}$ ,  $\text{N}_4$  を用い、中間層 22 がこの上層 23 ( $\text{Si}$ ,  $\text{N}_4$ ) に対するエッチストップとなる材料として例えばポリシリコンを用い、下層 21 は中間層 22 より小さいエッチレートでなおかつ下地基板 1 の材料である  $\text{Si}$  より大きいエッチレートを有する材料として例えば  $\text{SiO}_2$  を用いた 3 層構造となるエッチングストップ層を有するように形成し、この構造において形成したトレンチ 41~43 を、エッチングと堆積とが同時進行的に行われる堆積手段であるバイアス ECR-CVD 法により丁度トレンチ深さと同じになるまで埋め込む。CVD 条件は実施例 1 と同じでよい。これにより図 3 (a) の構造とする。図中、5 a は広いトレンチ 41 に埋め込まれた埋め込み材料、5 b, 5 c は狭いトレンチ 42, 43 に埋め込まれた埋め込み材料、5 d は広い凸部領域①上の埋め込み材料、5 e, 5 f は狭い凸部領域②上の埋め込み材料を示す。

【0072】(2) レジスト 3 を広い (長い) 凸部領域①以外の部分にパターンニングする。これにより図 3 (b) の構造を得る。

【0073】(3) 等方エッチングを行って、広い (長い) 凸部領域①上の埋め込み材料 5 d をエッチングする。例えばフッ酸を 40 分の 1 の濃度に希釈した溶液を用いてウェットエッチングすることができる。ここで、埋め込み材料 5 d である CVD- $\text{SiO}_2$  と上層 23 をなす  $\text{Si}$ ,  $\text{N}_4$  とのフッ酸に対するエッチレートの比は約 8 : 1 であり、上層 23 の  $\text{Si}$ ,  $\text{N}_4$  面が出るまでオーバーエッチを行っても、全く問題がない。この後レジストを除去する。これにより図 4 (c) の構造を得る。

【0074】(4) 上記 (3) の等方エッチングで形成された突起形状の部分 50 を、ポリッシュにより除去する。ここでは、平坦化するには突起部分 50 のみ平坦化すればよいので、ポリッシュ時間は短くて済む。

【0075】また、埋め込み材料 5 である  $\text{SiO}_2$  と上層 23 の材料である  $\text{Si}$ ,  $\text{N}_4$  のポリッシュレートの比は、約 5 : 1 なので、 $\text{Si}$ ,  $\text{N}_4$  が十分ストップ層として働く。これにより図 1 (d) の構造を形成する。

【0076】(5) 次に、埋め込み材料 5 の  $\text{SiO}_2$  を上層 23 である  $\text{Si}$ ,  $\text{N}_4$  面が出るまでエッチバックする。例えばマグネトロン RIE を用い、 $C_4F_8 = 50 \text{ sccm}$ ,  $RF = 1200 \text{ W}$ , 圧力 =  $2 \text{ Pa}$  の条件でこれを行うことができる。これにより図 4 (d) の構造が得られる。

【0077】(6) 次に、エッチングストップ層 2 を除

(10)

特開平5-275527

17

去する。まず上層23であるSi<sub>3</sub>N<sub>4</sub>を例えばマグネトロンRIEでC<sub>4</sub>F<sub>8</sub>=50SCCM、RF1200W、圧力2Paの条件としてエッチング除去する。また、ホットリン酸にてSi<sub>3</sub>N<sub>4</sub>を除去してもよい。

【0078】次に、中間層22であるPoly-Siを例えばKOHにて除去し、下層21であるT-SiO<sub>2</sub>をフッ酸にて除去すればよい。

【0079】ここで、中間層22のPoly-Siは、上層23をなすSi<sub>3</sub>N<sub>4</sub>に対するストッパとして、また下層21をなすT-SiO<sub>2</sub>は中間層22のPoly-Siに 10 対するエッチストッパの役割をはたしている。

【0080】実施例3、4  
本実施例は、実施例1、2の変形例である。実施例1、2が、埋め込み材料のポリッシュ工程に先立つ等方エッチングをエッチング液を用いるウエットエッチングで行ったのに対し、この実施例は、ドライエッチングでこの等方エッチングを行った。

【0081】本実施例においては、実施例1、2におけるフッ酸によるエッチングの代わりに、次の条件で被埋め込み材料5であるSiO<sub>2</sub>を等方ドライエッチングし 20 た。

使用エッチング装置：平行平板型エッチャー  
圧力：2300mtorr (306Pa)  
RFパワー：550W  
使用ガス系：NF<sub>3</sub>=300cc/min  
He=200cc/min  
温度：80℃

【0082】上記条件によって、良好な等方エッチングが達成できた。なおこの条件は、フッ酸ラジカルを主たるエッチャントとする反応にすべくパワーを上げ、イオンの方向性を低減させるために圧力を上げ（これにより平均自由程を短くする）、これによって等方エッチングを実現する手段として設定したものである。

【0083】その他は実施例1、2と同様にした。本実施例によっても、実施例1、2と同様な良好なトレンチアイソレーションが形成され、信頼性の高い半導体装置が得られた。

【0084】実施例5

この実施例は、本出願の発明を、トレンチアイソレーションを形成する微細化・集積化半導体装置の製造方法について、応用した場合である。図6に本実施例の工程を示す。

【0085】本実施例において、基板1上に複数の凹部パターン61~63が形成され、これらの間の凹部により構成される溝に埋め込みを行うのであるが、ポリッシュのストッパ層3が形成されている凹部パターン61~63の密度が疎である部分（図示の部分がこれに該当する）については、あらかじめポリッシュのストッパ層となるダミーパターン71a~71c、72a~72cを形成して図6(a)のように凸部が均一に分布する構造とし、即ちストッパ 50

18

層3の表面の占める率が均等になるように、その後埋め込み材料5を堆積して図6(b)の構造を得、次いで凸部パターン61~63及び特に形成したパターン71a~71c、72a~72c（以下適宜「ダミーパターン」と称することもある）上の埋め込み材料51をポリッシュで除去して、図6(c)の平坦化構造を得るものである。

【0086】具体的には本実施例では、次の(1)~(3)の工程により、平坦化トレンチアイソレーションを形成した。

【0087】(1)図6(a)に示すように、シリコン等からなる半導体基板1上に酸化シリコン層2として熱酸化膜と、ポリッシュストッパ層3としてのSi<sub>3</sub>N<sub>4</sub>層を形成した後、単位面積当たりのストッパ層3の面積比が半導体ウェハの位置によらず一定以上となるように、レジストプロセスを用いたエッチング工程により、実際に回路パターン等として用いる凸部パターン61~63と、ダミーパターン71a~71c、72a~72cを同時に形成する。

【0088】この時のエッチング条件としては、例えば以下の条件を用いた。

使用ガス系：C<sub>2</sub>Cl<sub>4</sub>/F<sub>2</sub>/SF<sub>6</sub>=60/10(sccm)  
μ波パワー：850(W)  
RFパワー：150(W)  
圧力：1.33(Pa)

【0089】(2)次に、CVD法により溝（トレンチ）41~48を埋め込む。これにより図6(b)の構造を得る。本実施例では埋め込み能力が高く、しかも埋め込み平坦化形状が良好なバイアスECR-CVD法（この方法は、エッチングと堆積とが同時進行的に行われるので、埋め込み平坦化技術として良好である）により酸化シリコン膜を堆積して埋め込みを行った。この時のバイアスECR-CVD条件としては、例えば以下の条件を用いた。

使用ガス系：SiN<sub>4</sub>/N<sub>2</sub>O=20/35(sccm)  
μ波パワー：1000(W)  
RFパワー：500(W)  
磁束密度：8.75×10<sup>-2</sup>(T)  
圧力：9.3×10<sup>-2</sup>(Pa)

【0090】(3)次に、凸部パターン61~63、ダミーパターン71a~71c、72a~72c上の余分な埋め込み材料51(SiO<sub>2</sub>)を、ポリッシュ法により除去する。これにより図6(c)の構造を得る。ここで、ポリッシュ装置としては、図5に示した常用の装置を用いて行った。この時のポリッシュ条件は、例えば以下に示す条件で行った。

研磨プレート 回転数：37(rpm)  
ウェハ保持試料台回転数：17(rpm)  
研磨時の加圧：5.5×10<sup>3</sup>(Pa)

(11)

特開平5-275527

19

スラリー流量：225 (ミリリットル/分)  
 パッド温度：40 (°C)  
 スラリー：シリカ (0.025~0.035 μm)  
 KOH (pH ≤ 10.5)  
 水

【0091】なお図5中、Pは研磨プレート、81はスラリー導入管、82はスラリー、83は研磨プレート回転軸、84はウェハー保持試料台、85はウェハー保持試料台回転軸、86は研磨時の調整された加圧力、87は研磨パッド、10は被ポリッシュ材であるウェハーを示す。

【0092】このポリッシュ工程において、ストップパ層3 (Si<sub>3</sub>N<sub>4</sub>) と埋め込み材料5 (SiO<sub>2</sub>) の選択比は、SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> = 4~6であり、しかもダミーパターン71a~71c、72a~72cを設けることにより、凸部パターンの分布が疎である孤立パターン61周辺部分についても、その単位面積当たりのストップパ層面積比が大きくなっており、このためオーバーポリッシュによる孤立パターン61の削りすぎを防ぐことができ、良好な平坦面を得ることができる。

#### 【0093】実施例6

本実施例は、図7に示したようにトレンチアイソレーション形成に本発明を応用したものであるが、実施例1では埋め込み酸化膜の形成にバイアスECR-CVD法を用いたのに対し、ここでは、絶縁膜形成が可能である常圧のCVD法を用いた。以下工程順に説明する。

【0094】(1) 実施例5と同様に、例えばエッチングのストップパ層8としてポリ-Siと、その下層に該ストップパ層8 (ポリ-Si) のエッチングストップパ層となる酸化シリコン層2が形成してあるシリコン基板1に、図26で説明した広い凹部溝41に該当する部分において、単位面積当たりのストップパ層面積比がウェハーの位置によらず一定以上となるように、実際のパターン61を含む凸部パターン61~63と、後に除去するパターン71a~71c、72a~72cを同時にレジストプロセスを用いたエッチング法にて形成する。この時、μ波エッチング装置を用いたが、このときの条件は、例えば以下に示す条件で行った。

使用ガス系：C<sub>2</sub>Cl<sub>2</sub>F<sub>6</sub>/SF<sub>6</sub> = 60/10 (sccm)

μ波パワー：850 (W)

RFパワー：150 (W)

圧力：1.33 (Pa)

【0095】次に、埋め込み材料5として、例えば有機シリコン化合物 (例えばTEOS) とオゾンとの反応により酸化シリコンを形成して、これを溝 (トレンチ) が埋まる程度の膜厚に埋め込む。これにより図7 (a) の構造を得る。この時のCVD条件としては、例えば以下に示す条件で行った。

使用ガス系：TEOS/O<sub>3</sub> = 350/350 (sccm)

20

成長温度：390 (°C)

圧力：1.20 × 10<sup>-4</sup> (Pa)

【0096】しかし、この段階では、埋め込み後の酸化シリコン層の形状は、図2 (a) に示したように凹み量 (L<sub>1</sub>) が存在するため、ポリッシュ後の溝 (トレンチ) 凹部の残り膜厚が溝の深さよりも浅くなり、良好な平坦化形状が得られなくなる。

【0097】(2) そこで本実施例では、図7 (b) に示すように、塗布膜9を酸化シリコン膜の凹み量 (L<sub>1</sub>) が吸収できる膜厚に塗布する。例えば、塗布膜9の形成にはSOG (Spin On Glass) を用いればよい。膜厚としては、トレンチ深さの1/2~1倍の膜厚となるようにすればよい。SOGの塗布条件としては、例えば以下の条件を用いた。

塗布膜：Type-7 (東京応化 (株) 製)

回転数：4000 (rpm)

時間：60 (sec)

ベーク温度：400 (°C)

ベーク時間：30 (min)

【0098】(3) 次に、図7 (c) に示すように、図7 (b) に示したトレンチ凸部上のSOG膜9がなくなるまで、即ちSOG膜9の膜厚L<sub>2</sub>分、ポリッシングを行う。この時、SOG膜9は埋め込み材料5である酸化シリコン膜よりもポリッシュレートが大きいので、酸化シリコン膜はSOG膜9に対してストップパ層となる。

【0099】(4) 次に埋め込み材料5である酸化シリコン膜と、SOG膜9のエッチングの選択比が1となる条件にて、エッチングストップパ層8の上面が現れるまでエッチングバックを行う。これにより図2 (d) の平坦化構造が得られた。この時のRIEを用いたときの条件としては、例えば以下の条件にて行う。

使用ガス系：CHF<sub>3</sub>/O<sub>2</sub> = 70/13 (sccm)

RFパワー：1150 (W)

圧力：5.33 (Pa)

#### 【0100】実施例7

本実施例は、図9、図10に示したように本発明をトレンチアイソレーション形成に応用したものである。また、余分な埋め込み材料5 (酸化シリコン膜) の除去方法として、レジストプロセスを用いてあらかじめ広い凸部領域にある厚い酸化シリコン膜51をエッチングにより少なくとも部分的に除去した後、ダミーパターンを含む広い埋め込み領域の酸化シリコン膜52をポリッシュにより除去するものである。具体的には次のように実施した。

【0101】(1) 図9 (a) に示されるように、シリコン等からなる半導体基板1上に酸化シリコン層2としての熱酸化膜とポリッシュストップパ層3としてのSi<sub>3</sub>N<sub>4</sub>層を形成した後、単位面積当たりのストップパ層3面積比がウェハーの位置によらず一定以上となるようにレジストプロセスを用いたエッチング工程により、実際に回路パターンとして用いるパターン61を含む凸部パター

21

ン61~63とダミーパターン71a~71c, 72a~72cを同時に形成する。この時の $\mu$ 波エッチング装置を用いたときの条件としては、例えば以下の条件を用いた。

使用ガス系:  $C_2F_4 : C_2F_6 : F_2 : SF_6 = 60/10$  (sccm)

$\mu$ 波パワー: 850 (W)

RFパワー: 150 (W)

圧力: 1.33 (Pa)

【0102】(2) 次に、CVD法により溝(トレンチ)を埋め込む。本実施例では埋め込み能力の高くしかも埋め込み平坦化形状が良好なバイアスECR-CVD法により、酸化シリコン膜を用いて埋め込みを行った。この時のバイアスECR-CVD条件としては、例えば以下の条件を用いた。

【0103】

使用ガス系:  $SiH_4 : N_2O = 20/35$  (sccm)

$\mu$ 波パワー: 1000 (W)

RFパワー: 500 (W)

磁束密度:  $8.75 \times 10^{-2}$  (T)

圧力:  $9.3 \times 10^{-2}$  (Pa)

【0104】これにより図9(b)の構造を得た。符号51により広い凸部領域上の埋め込み材料を示し、52により、狭い凸部領域の埋め込み材料を示す。

【0105】(3) 次に、図10(c)に示したように、レジスト10を広い(長い)凸部領域以外の部分にパターニングして形成する。

【0106】(4) 等方エッチングにて上記広い(長い)凸部領域上にある余分な埋め込み材料5である酸化シリコン膜51を除去する。この時のエッチング条件としては、例えば以下に示す条件を用いた。

HF:H<sub>2</sub>O=1:40による液体エッチング

【0107】この時の $SiO_2$ と $Si_3N_4$ の選択比は約8:1である。

【0108】また、広い(長い)凸部領域上の余分な酸化シリコン膜51は、下地の $Si_3N_4$ 膜3が現れるまでエッチングを行っても全く問題はない。その後で、レジスト10を除去する。これにより図10(d)の構造を得る。

【0109】(5) 上記(4)で形成された突起状の余分な酸化シリコン膜52をポリッシュにて除去する。このときポリッシュで平坦化するものは、突起状の余分な酸化シリコン52のみなので、ポリッシュ時間も少なく、かつ $SiO_2$ に対する $Si_3N_4$ のポリッシュの選択比が5:1なので $Si_3N_4$ が十分ストッパ層として働き、図3(e)に示すような良好な平坦化形状を得ることが可能となる。

【0110】尚、本発明は当然のことながら上記実施例に限定されるものではなく、本発明の範囲で材料及び条件等は適宜変更可能であり、例えばトレンチキャパシ

(12)

特開平5-275527

22

タ、トレンチプラグ、ブランケットCVDタングステン形成の場合等にも利用できるものである。また、上述の各例は、ポリッシュストッパ層の占める割合を均一にする手段として凸部パターンの割合を大きくするようにダミーパターンを形成するようにしたが、ポリッシュストッパ層の率を変えるためには他の手段を採用してもよい。

【0111】実施例8

この実施例は、本出願の発明を微細化集積化した半導体装置の形成に適用したものである。特にそのトレンチアイソレーションの形成に適用したものである。

【0112】本実施例においては、エッチングと堆積とを同時進行的に行う堆積手段であるバイアスECR-CVD法により、基板1上の複数の凹部41~43を埋め込む埋め込み工程により、図11に示す構造を得、次に、ポリッシュにより埋め込み材料を平坦化するポリッシュ工程を行い(図12(b))、このポリッシュ工程の後の基板上にレジストを形成するレジスト形成工程と、被埋め込み凹部以外の部分に残存する埋め込み材料(除去しきれない埋め込み材料52)を露出させてレジストパターン6を形成するレジストパターン形成工程とを行って図12(c)の構造を得、次いでレジストパターン6をマスクとして、被埋め込み凹部以外の部分に残存する埋め込み材料52を除去する除去工程を行い、図12(d)に示すように、除去しきれない埋め込み材料の残存なく、良好な埋め込み平坦化を達成するものである。

【0113】更に具体的には、本実施例は次の(1)~(6)の工程を経るものである。

【0114】(1) 基板1(ここではシリコン基板)に、熱酸化膜( $T-SiO_2$ )から成るパッド $SiO_2$ である下層21と、シリコンナイトライド( $Si_3N_4$ )膜である上層22とを形成してこれらによりストッパ層2を構成し、更にトレンチである凹部41~43を形成し、かかる $Si$ トレンチにバイアスECR-CVD法により、トレンチ深さと同じ膜厚の $SiO_2$ 膜を形成して、埋め込み材料5を層形成する。これにより図11(a)の構造を得る。この時のCVD条件は、例えば、次を用いることができる。

【0115】

マイクロ波=1000W

RF=500W

$SiH_4 : N_2O = 21/35$  sccm

磁場= $8.75 \times 10^{-4}$  T

圧力= $9.3 \times 10^{-2}$  Pa ( $7 \times 10^{-4}$  torr)

【0116】(2) 次に、ポリッシャーによりポリッシュを行う。ポリッシャーとしては、図5に示す装置を用いることができる。その時のポリッシュ条件は、ここでは、研磨プレートPの回転数=37rpm、ウェハー保持試料台64の回転数=17rpm、研磨圧力(図5の矢印66)= $5.5 \times 10^3$  Pa (8PSI)、スラリーを

23

スラリー導入管61から225ミリリットル/分で導入、パッド67の温度を40℃として行った。スラリー（図5中、62で模式的に示す）は、シリカとKOHと水の混合液を用いることができる。例えば研磨時に用いるポリッシュ液（スラリー）として、商品名SC-1（CABOT CORPORATION製）を使用できる。その固形成分はシリカ（全重量の30%）である（pH: 10.5-10.7、シリカ粒度: 25-35nm、pH調整剤: KOH）。このSC-1を脱イオン水で15-20倍に希釈し、希塩酸またはKOH、NaOH溶液を用いてpHコントロールして、使用できる。図5中、符号63は研磨プレートPの回転軸、65は、被研磨基板10であるウェハーを支持するウェハー保持試料台64の回転軸である。

【0117】このとき、被ポリッシュ面の内、狭い凸部領域上の埋め込み材料5であるSiO<sub>2</sub>の突起5Aの形状（図11）は、スパッタエッチングとCVDを同時に行えるバイアスECR-CVDにおいてのみ形成することができるものであり、コンフォーマルなCVDではこのような突起形状は形成することはできない。このようなSiO<sub>2</sub>の突起形状はポリッシュが容易であり、よって、バイアスECR-CVDを用いた場合は、図23（B）に示す従来のような狭い凸部領域（ラインアンドスペースパターン）上に残る除去しきれないSiO<sub>2</sub> 52'は発生しない。このポリッシュ工程により、図12（b）の構造を得る。凹部41-43内に埋め込まれた材料を符号50で示す。

【0118】（3）長い凸部上の中央部以外にレジストパターン6を行ない、図12（c）に示すレジストパターン6を有する構造を得る。このパターンニングは微細パターンニングではないので、合わせ精度の余裕が十分にある。

【0119】（4）レジストパターン6でマスクされていない、残存（除去しきれない）SiO<sub>2</sub>のエッチングを行い、図12（d）の構造とする。HFでウェットエッチングにて除去してもよいし、RIEで、例えばマグネトロンRIEで、次の条件でエッチング除去してもよい。

C<sub>4</sub>F<sub>8</sub> = 50 sccm

RF = 1200 W

圧力 = 2 Pa

【0120】（5）レジスト除去を行う。このレジスト除去は、RAストリッパーを用いてもよいし、ECRアッシャーを用いて、次の条件で行ってもよい。これにより図3（e）の構造を得る。

O<sub>2</sub> / CHF<sub>3</sub> = 400 / 20 sccm

圧力 = 1.9 Pa (1.4 torr)

マイクロ波 = 400 mA

基板温度 = 150℃

【0121】（6）次に、ストップ層2の上層22である

(13)

特開平5-275527

24

Si<sub>3</sub>N<sub>4</sub>を例えばKOHにて除去し、下層21であるpad-SiO<sub>2</sub>をフッ酸にて除去し、図13（f）の構造とする。

【0122】実施例9

次に実施例9を説明する。この実施例は、本発明を具体化してトレンチアイソレーションを形成し、半導体装置を製造するものである。実施例1ではレジストのパターンニングを行うため、このリソグラフィ工程に時間がかかるが、この実施例9は、パターンニングを行わずにすむ手法である。本実施例は、次の（1）～（4）の工程を経る。

【0123】（1）実施例8と同様、下層21であるpad-SiO<sub>2</sub>及び上層22であるSi<sub>3</sub>N<sub>4</sub>が形成してあるSiトレンチに、バイアスECR-CVD法により、トレンチ深さと同じ膜厚のSiO<sub>2</sub>膜を形成して埋め込み材料5とし、図14（a）の構成とする。この時のCVD条件は、実施例8と同じでよい。

【0124】（2）ポリッシャーによりポリッシュを行い、図15（b）の構造とする。この時のポリッシュ条件は実施例8と同じでよい。

【0125】（3）レジスト6のコーティングを行い、図15（c）の構造とする。例えば、次の条件でレジストをコーティングする。

【0126】

レジスト = 東京応化製 OFPR-800

粘度 = 0.02 Pa·s

回転数 = 8000 rpm

【0127】また、レジストの代わりにSOG (Spin on Glass) を用いてもよく、例えば、次の条件で実施することができる。

【0128】

SOG = 東京応化製 Type-2

回転数 = 200 rpm

回転時間 = 15 s

ベーク温度 = 500℃

ベーク時間 = 30 min

【0129】（4）レジスト: SiO<sub>2</sub> = 1:1のエッチバックを行い、レジスト6及び残存SiO<sub>2</sub> 52のエッチバックを行う。これにより図15（d）の構造を得る。このエッチングは、例えば平行平板RIE装置を用い、次の条件で実施することができる。

CHF<sub>3</sub> = 50 sccm

O<sub>2</sub> = 70 sccm

RFパワー = 1200 W

圧力 = 30 Pa

【0130】SOG: SiO<sub>2</sub> = 1:1のエッチバックも同じ条件で行える。

【0131】残存SiO<sub>2</sub>は少ないので、このようなエッチバックでも、SiO<sub>2</sub>は十分に除去できる。

【0132】（5）次に、ストップ層2の上層22である

25

Si, N<sub>2</sub> を例えばKOHにて除去し、下層21であるpad-SiO<sub>2</sub> をフッ酸にて除去し、図16 (e) の構造とする。

#### 【0133】実施例10

この実施例は、本出願の発明を、トレンチアイソレーションを形成する微細化・集積化した半導体装置の製造方法について、応用した場合である。図17 (a) ~ (c)、図18 (d) ~ (f) に本実施例の工程を示す。

【0134】本実施例においては、図17 (a) に示すように上部にポリッシュのストッパー層3を備えた複数の凸部パターン61~63を形成し、該複数の凸部パターンにより形成された凹部41~43を図17 (b) に示すように埋め込み材料5により埋め込み、その凹部埋め込み後、図17 (c)、図18 (d) に示すように、少なくとも、前記ポリッシュのストッパー層3の密度が疎である部分の凹部 (広い凹部) 41の埋め込み材料5上に、第2のポリッシュストッパー層7を形成し (本例では図1 (c) のように全面に第2のポリッシュストッパー層7を形成後、レジスト8を用いたエッチング工程によって図18 (d) のように広い凹部41の埋め込み材料5上のみ第2のポリッシュストッパー層7を残した)、その後、凸部パターン上に形成された埋め込み材料をポリッシュにより平坦化する工程を行う。

【0135】この結果、当初からのポリッシュのストッパー層3の密度が疎である部分についても、その部分に該当する広い凹部41の埋め込み材料5上に第2のポリッシュストッパー層7を形成したことにより、孤立した凸部パターン61の近辺でも過度のポリッシュが進行することなく、ポリッシュによる均一で良好な平坦化が実現できた。

【0136】具体的には本実施例では、次の (1) ~ (6) の工程により、平坦化トレンチアイソレーションを形成した。

【0137】(1) 図17 (a) に示すように、シリコン等からなる半導体基板1上に酸化シリコン層21として熱酸化膜と、ポリッシュのストッパー層3としてのSi<sub>3</sub>N<sub>4</sub>層のエッチングストッパー層22としてのPoly-Si層及びポリッシュストッパー層3であるSi<sub>3</sub>N<sub>4</sub>層を形成した後、レジストプロセスを用いたRIE (リアクティブイオンエッチング) 工程により、トレンチとする凹部41~43を形成する。この時のRIE条件としては、例えば以下の条件を用いた。

使用ガス系: C<sub>2</sub>F<sub>4</sub>: C<sub>2</sub>F<sub>6</sub>: F<sub>2</sub>: SF<sub>6</sub> = 60/10 (sccm)

μ波パワー: 850 (W)

RFパワー: 150 (W)

圧力: 1.33 (Pa)

【0138】(2) 次に、図17 (b) に示したようにトレンチである凹部41~43を埋め込む埋め込み材料5を、例えば有機シリコン化合物 (TEOS等) とオゾン (O

(14)

特開平5-275527

26

) のCVD法により、トレンチの凹部41における膜厚がトレンチ深さよりもポリッシュストッパー層の分 (図のa) だけ少なくなるように形成する。この時のTEOS/O<sub>3</sub> のCVD条件としては、例えば以下の条件を用いた。

使用ガス系: TEOS/O<sub>3</sub> = 1000/2000 (sccm)

成長温度: 390 (°C)

圧力: 1.20×10<sup>-4</sup> (Pa)

【0139】(3) 続けて、図17 (c) に示したように、第2のポリッシュストッパー層となるシリコン窒化膜を形成する。ただしこの時のシリコン窒化膜の膜厚は、トレンチ凹部41のシリコン酸化膜及びシリコン窒化膜の膜厚 (図のa+b) がトレンチ深さと等しくなるようにする。この時のシリコン窒化膜の形成条件としては、例えば以下の条件を用いた。

使用ガス系: SiH<sub>4</sub>: Cl<sub>2</sub>: NH<sub>3</sub> = 50/200 (sccm)

成長温度: 760 (°C)

圧力: 70 (Pa)

【0140】ここで、図17 (c) に示したように、トレンチの広い凹部41以外に形成された第2のポリッシュストッパー層7を除去するために、レジストパターン8を形成する。

【0141】(4) 等方エッチングにて余分なシリコン窒化膜をエッチングする。これにより図18 (d) に示すように、広い凹部41の埋め込み材料5上のみ第2のポリッシュストッパー層7を残す。この時のエッチング条件としては、例えば以下の条件にて行った。

使用エッチング液: リン酸

温度: 150 (°C)

(この時のシリコン窒化膜とシリコン酸化膜の選択比は約50:1である)

【0142】(5) トレンチ凸部状に形成された余分な埋め込み材料5であるSiO<sub>2</sub>と前記工程(4)でトレンチ凹部41に突起状に残された第2のポリッシュストッパー層7であるシリコン窒化膜 (突起部を31で示す) を、ポリッシュ法にて除去平坦化する。これにより図18 (e) の構造を得る。ここで、ポリッシュ装置は図5に示した常用の装置を用いて行った。この時のポリッシュ条件は、例えば以下に示す条件で行った。

研磨プレート 回転数: 37 (rpm)

ウェハ保持試料台回転数: 17 (rpm)

研磨時の加圧: 5.5×10<sup>3</sup> (Pa)

スラリー流量: 225 (ミリリットル/分)

パッド温度: 40 (°C)

スラリー: シリカ (0.025~0.035 μm)

KOH (pH≤10.5)

水

【0143】このポリッシュ工程において、ポリッシュ



27

ストッパー層3、7 (Si: N<sub>4</sub>) と埋め込み材料5 (SiO<sub>2</sub>) の選択比は、SiO<sub>2</sub> / Si: N<sub>4</sub> = 4~6であり、しかも単位面積当たりのストッパー材料であるSi: N<sub>4</sub> はウェハーの位置によらず一定以上あるので、孤立パターン61をオーバーポリッシュすること無く十分平坦な形状を得ることが可能となる。

【0144】また、一般にポリッシュ法による平坦化を行うとき、同じ材質でも突起部は平坦部よりもポリッシュレートがはるかに大きいことが知られており、たとえ図2 (d) に示した突起部31が発生したとしても、良好な平坦化形状を得ることが可能となる。

【0145】(6) 次に、エッチングストッパー層22であるPoly-Siをストッパーとして、マグネトロンRIEを用いて全面エッチバックを行う。この時のエッチング条件としては、例えば以下の条件を用いた。

使用ガス系: C<sub>2</sub> F<sub>4</sub> / O<sub>2</sub> = 45 / 15 (sccm)

RFパワー: 1200 (W)

圧力: 2 (Pa)

【0146】最後に、エッチングストッパー層22であるPoly-Si及び酸化シリコン層21であるSiO<sub>2</sub>をそれぞれKOH、弗酸にて除去する。これにより、図2 (f) に示すような、トレンチアイソレーションが完成する。

#### 【0147】実施例11

本実施例はトレンチアイソレーションに応用したものである。実施例10では埋め込み酸化膜及びポリッシュストッパー層の形成に常圧CVD法及び減圧CVD法を用いたが、ここでは、埋め込み平坦化膜及び第2のポリッシュストッパー層の形成に、バイアスECR-CVD法 (この方法は、エッチングと堆積とが同時進行的に行われるので、埋め込み平坦化技術として好適である) を応用し、トレンチをなす凹部41全面にポリッシュストッパー層7を形成させる例である。次の(1)~(7)の工程を行った。

【0148】実施例10と同様にシリコン等からなる半導体基板1上に酸化シリコン層としての熱酸化膜21とポリッシュのストッパー層3であるSi: N<sub>4</sub> 層のエッチングストッパー層としてのPoly-Si層22及びポリッシュストッパー層3であるSi: N<sub>4</sub> 層を形成した後、レジストプロセスを用いたRIE (リアクティブイオンエッチング) 工程により、トレンチを形成する。これにより図19 (a) の構造を得た。この時のRIE条件としては、例えば以下の条件を用いた。

使用ガス系: C<sub>2</sub> Cl<sub>2</sub> F<sub>4</sub> / SF<sub>6</sub> = 60 / 10 (sccm)

μ波パワー: 850 (W)

RFパワー: 150 (W)

圧力: 1.33 (Pa)

【0149】(2) 次に、埋め込み能力の高くしかも埋め込み平坦化形状が良好なバイアスECR-CVD法に

(15)

特開平5-275527

28

より、埋め込み材料5としてトレンチ凹部41~43に酸化シリコン膜を埋め込む。この時の埋め込み膜厚としては、図19 (b) に示したように、トレンチ凹部41~43の膜厚がトレンチ深さよりもポリッシュストッパー層3の分だけ薄くなるように形成する。この時のバイアスECR-CVD条件としては、例えば以下の条件を用いた。

使用ガス系: SiH<sub>4</sub> / N<sub>2</sub> O = 20 / 35 (sccm)

μ波パワー: 1000 (W)

RFパワー: 500 (W)

磁束密度: 8.75 × 10<sup>-2</sup> (T)

圧力: 9.3 × 10<sup>-2</sup> (Pa)

【0150】(3) 続いて、バイアスECR-CVD法にてポリッシュストッパー層3となるシリコン窒化膜を形成する。シリコン窒化膜の膜厚としては、少なくともトレンチ形成時のポリッシュストッパー層3の膜厚以上となるように形成する。これにより図19 (c) の構造を得た。この時のバイアスECR-CVD条件としては、例えば以下の条件を用いた。

使用ガス系: SiH<sub>4</sub> / N<sub>2</sub> / Ar = 20 / 20 / 15 (sccm)

μ波パワー: 550 (W)

RFパワー: 200 (W)

磁束密度: 8.75 × 10<sup>-2</sup> (T)

圧力: 2.0 × 10<sup>-1</sup> (Pa)

【0151】バイアスECR-CVD法は、堆積 (デポ) とエッチング (スパッタエッチ) の同時競合反応を利用しているため、面角度依存性を有している。よって、基板水平面に対し或る面角度を持った領域以外は成膜が起こらず、図19 (c) に示したような成膜形状となる。

【0152】(4) 図20 (d) に示したように、レジスト8を、長いトレンチ凸部 (図の左右の凸部) 以外の部分にパターンニングして形成する。

【0153】(5) まず、長いトレンチの凸部上に形成された第2のポリッシュストッパー層7である図の左右のシリコン窒化膜をレジスト8をマスクとして等方エッチングにて除去する。この時のエッチング条件としては、例えば以下に示す条件を用いた。

使用エッチング液: リン酸

温度: 150 (°C)

(この時のシリコン窒化膜とシリコン酸化膜の選択比は約50:1である。)

【0154】次に、連続して、等方エッチングにて、長い凸部上の余分な埋め込み材料5である酸化シリコン膜を除去する。この時のエッチング条件としては、例えば以下に示す条件を用いた。

使用エッチング液: HF: H<sub>2</sub> O = 1: 40

(この時のSiO<sub>2</sub> とSi: N<sub>4</sub> の選択比は約8:1である。)

29

【0155】このとき、長い凸部上の余分な酸化シリコン膜は、下地のポリッシュストップ層3、7である。Si<sub>3</sub>N<sub>4</sub>膜が現れるまでエッチングを行っても全く問題はない。その後で、レジスト8を除去する。これにより図20(e)の構造を得る。

【0156】(6)前記工程(5)で形成された突起状の余分な酸化シリコン膜52をポリッシュにて除去する。このとき平坦化するのは、突起状の余分な酸化シリコン膜52のみなのでポリッシュ時間も少なく、かつ単位面積当たりのポリッシュストップ層3、7(Si<sub>3</sub>N<sub>4</sub>)はウェハの位置によらず一定以上あるので、孤立パターン61をオーバーポリッシュすること無く十分平坦な形状を得ることが可能となる(図4(e)参照)。これにより、図21(f)の構造を得る。

【0157】(7)マグネトロンRIEにより、SiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の選択比が1:1となる条件にて全面エッチバックを行う。この時のエッチバック条件としては、例えば以下の条件を用いた。

使用ガス系: C<sub>3</sub>F<sub>8</sub> = 45/15 (sccm)

RFパワー: 1200 (W)

圧力: 2 (Pa)

【0158】最後に層22等を形成するPoly-Si、SiO<sub>2</sub>をそれぞれホトリソ酸及び弗酸にて除去する。これにより図21(g)に示すトレンチアイソレーションが完成する。

【0159】尚、本発明は当然のことながら本実施例に限定されるものではなく、本発明の範囲を逸脱しない限り、各構成は適宜採択できるものであり、例えば、ポリッシュストップ層については、埋め込み材料層よりもポリッシュレートの高いポリッシュストップ層であれば材料及びプロセス条件等は適宜変更可能である等、各種の態様をとってよいものである。

【0160】

【発明の効果】本発明によれば、広い(長い)凸部領域上に埋め込み材料が残ることなく平坦化を達成でき、よって平坦性の良好なトレンチアイソレーションを形成できる手段、及びこのようなトレンチアイソレーションを形成した半導体装置の製造手段を提供することができる。

【0161】また本発明によれば、埋め込み後平坦化を

(16)

特開平5-275527

30

行うポリッシュ工程を備えた半導体装置の製造方法において、被ポリッシュ部上にポリッシュストップの作用を示す部分の分布に疎密がある場合にあっては、単位面積当たりの該ストップ層の面積比が低い部分でも良好な平坦化形状を形成することができる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】実施例1の工程を示す。

【図2】実施例1の工程を示す。

【図3】実施例2の工程を示す。

【図4】実施例2の工程を示す。

【図5】実施例で用いたポリッシャー装置を示す。

【図6】実施例5の工程を示す。

【図7】実施例6の工程を示す。

【図8】実施例6の工程を示す。

【図9】実施例7の工程を示す。

【図10】実施例7の工程を示す。

【図11】実施例8の工程を示す。

【図12】実施例8の工程を示す。

【図13】実施例8の工程を示す。

【図14】実施例9の工程を示す。

【図15】実施例9の工程を示す。

【図16】実施例9の工程を示す。

【図17】実施例10の工程を示す。

【図18】実施例10の工程を示す。

【図19】実施例11の工程を示す。

【図20】実施例11の工程を示す。

【図21】実施例11の工程を示す。

【図22】背景技術を示す。

【図23】従来技術の問題点を示す。

【図24】従来技術の問題点を示す。

【図25】従来技術の問題点を示す。

【図26】従来技術の問題点を示す。

【符号の説明】

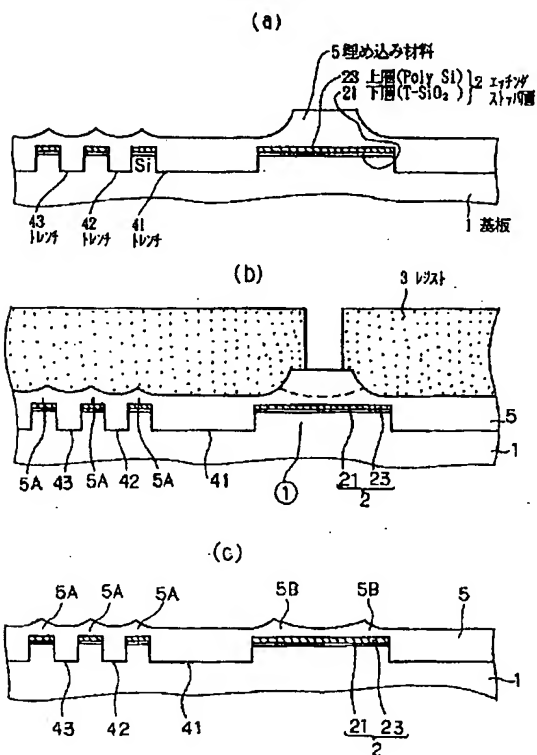
- 1 基板
- 2 エッチングストップ層
- 41~43 溝(トレンチ)
- 5 埋め込み材料
- 61~63 凸部パターン
- 7, 71~72c 凸部パターン

(17)

特開平5-275527

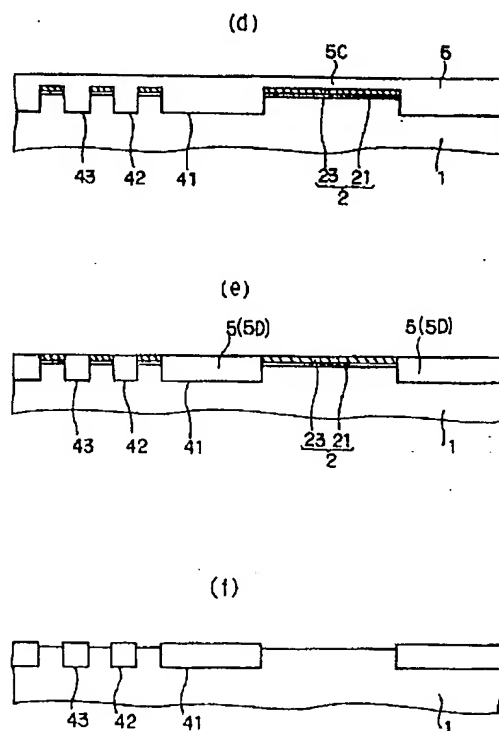
【図1】

実施例1の工程



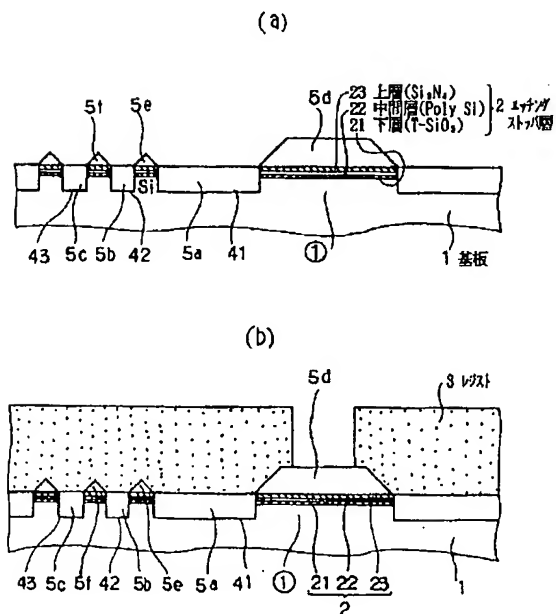
【図2】

実施例1の工程(つづき)



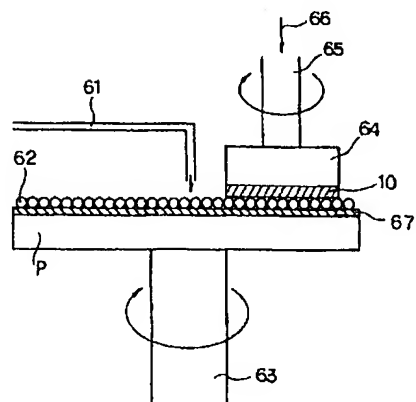
【図3】

実施例2の工程



【図5】

実施例で用いたポリッシャー装置



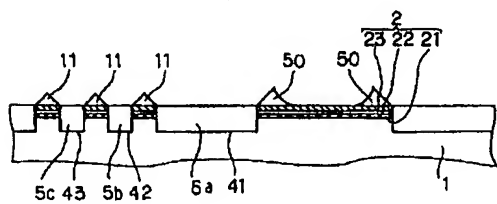
(18)

特開平5-275527

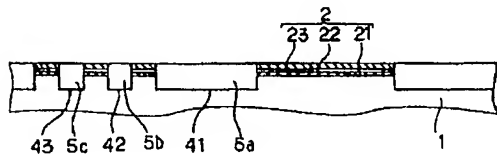
【図4】

実施例 2 の工程 (つづき)

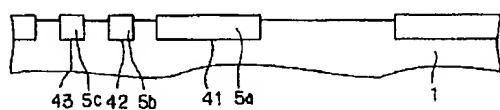
(C)



(d)



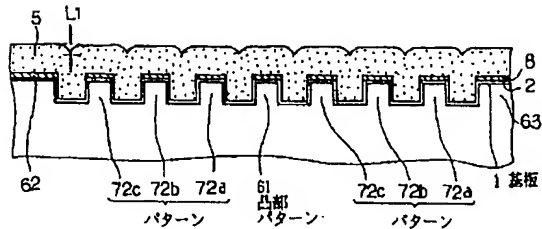
(e)



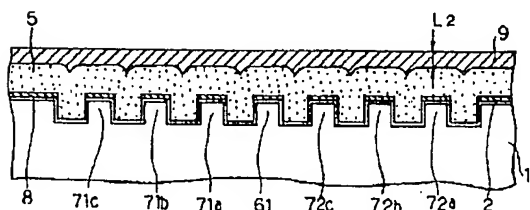
【图7】

### 実施例 6 の工程

(a)



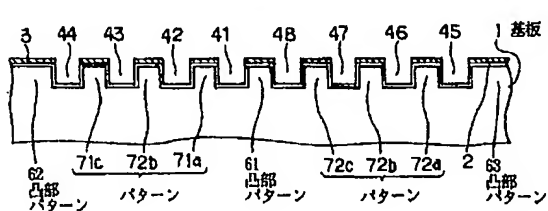
(b)



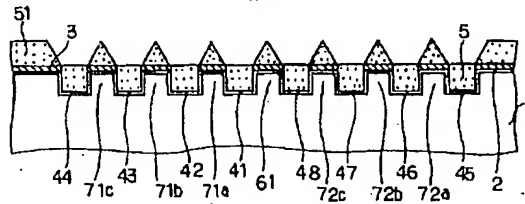
【图 6】

### 实施例 5

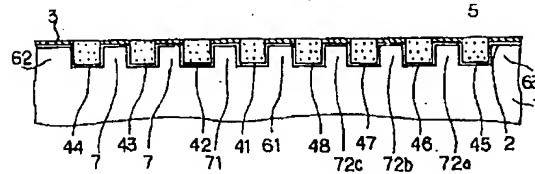
(a)



(b)



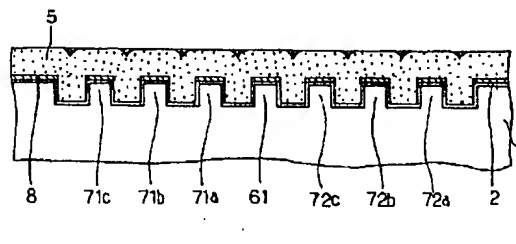
(C)



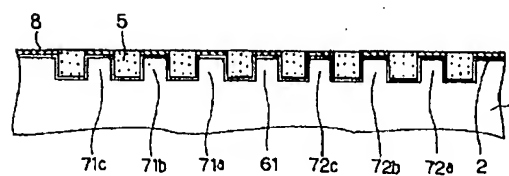
【图 8】

### 実施例 6 の工程 (つづき)

(c)



(d)



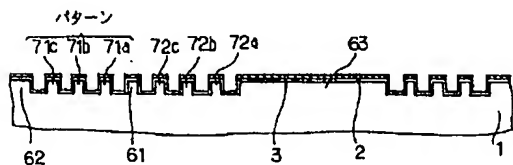
(19)

特開平5-275527

【図9】

実施例7の工程

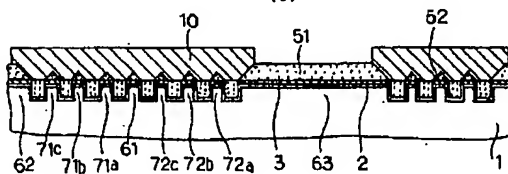
(a)



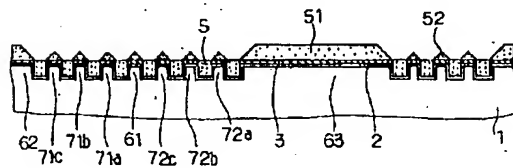
【図10】

実施例7の工程（つづき）

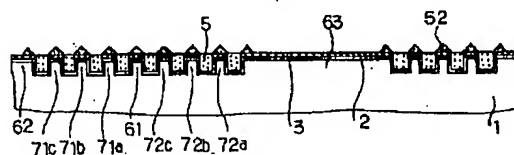
(c)



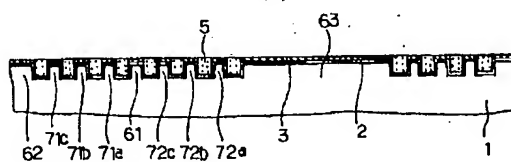
(b)



(d)



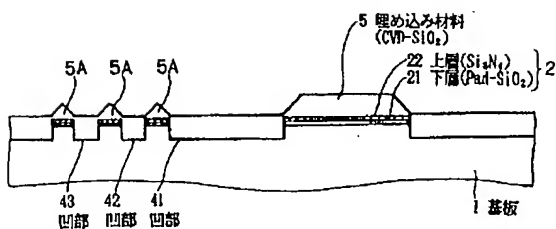
(e)



【図11】

実施例8の工程（1）

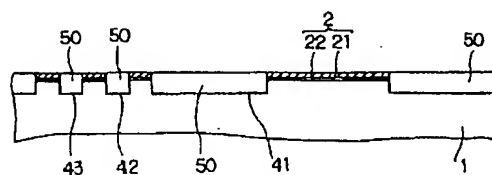
(a)



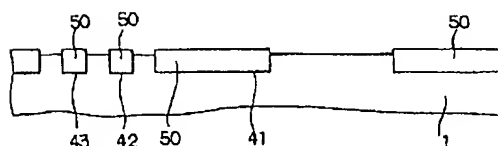
【図13】

実施例8の工程（3）

(e)



(f)

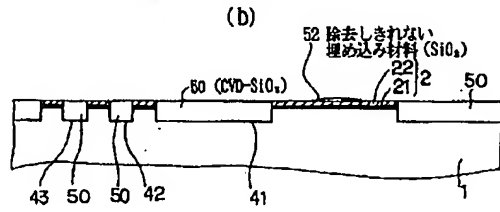


(20)

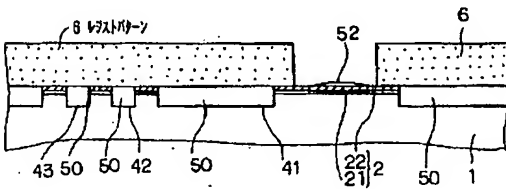
特開平5-275527

【図12】

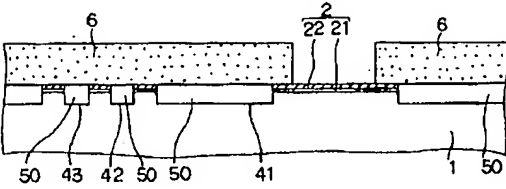
実施例8の工程(つづき)



(c)



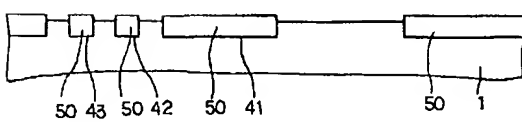
(d)



【図16】

実施例9の工程(つづき)

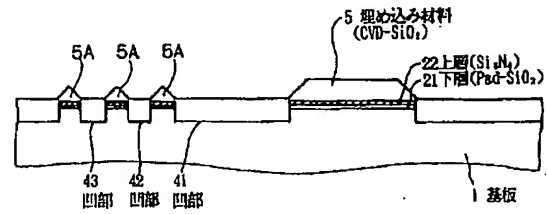
(e)



【図14】

実施例9の工程(1)

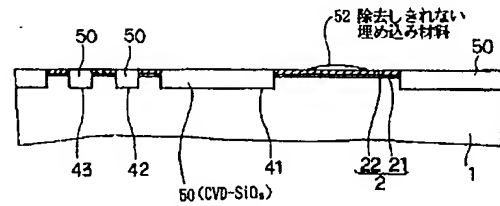
(a)



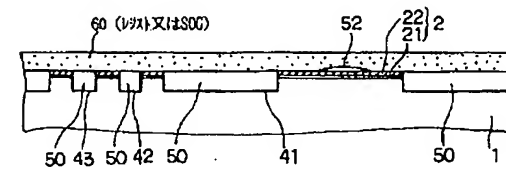
【図15】

実施例9の工程(2)

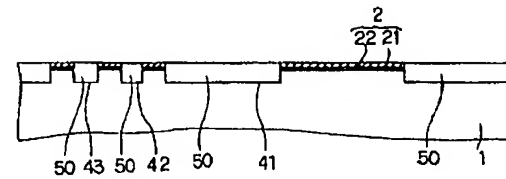
(b)



(c)



(d)

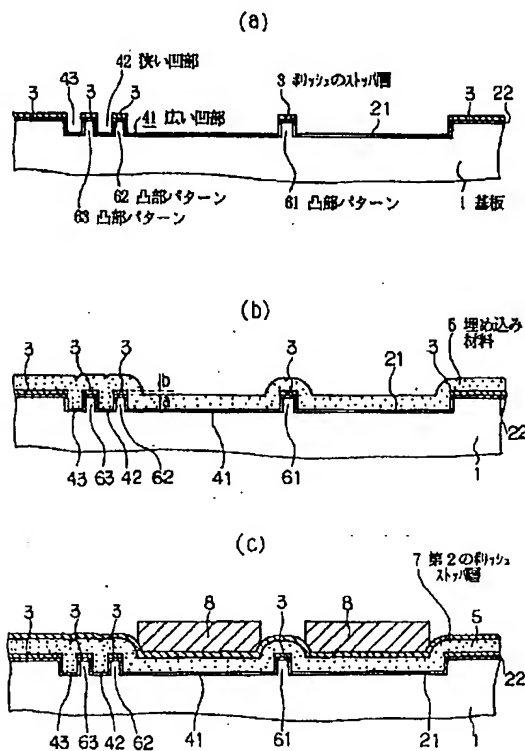


(21)

特開平5-275527

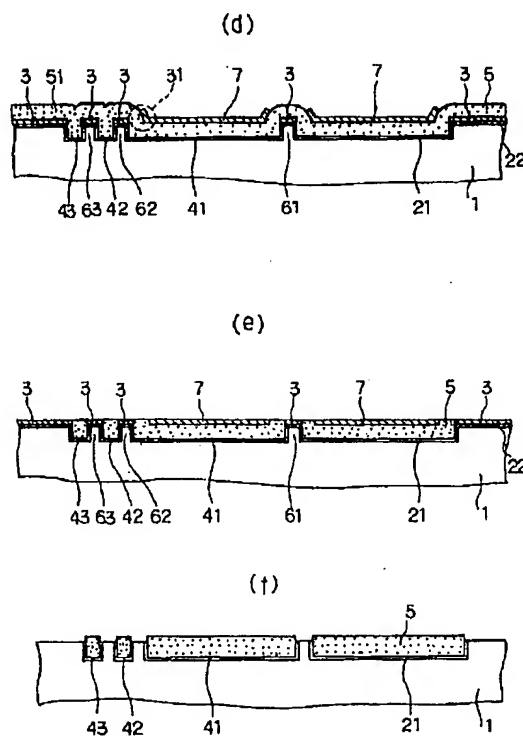
【図17】

実施例10の工程



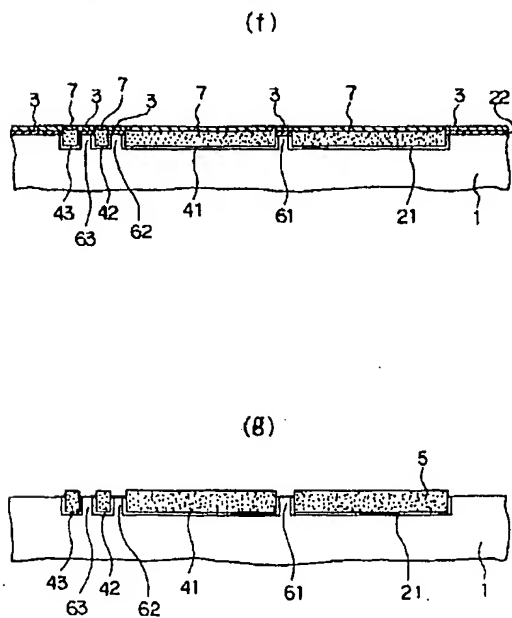
【図18】

実施例10の工程 (つづき)



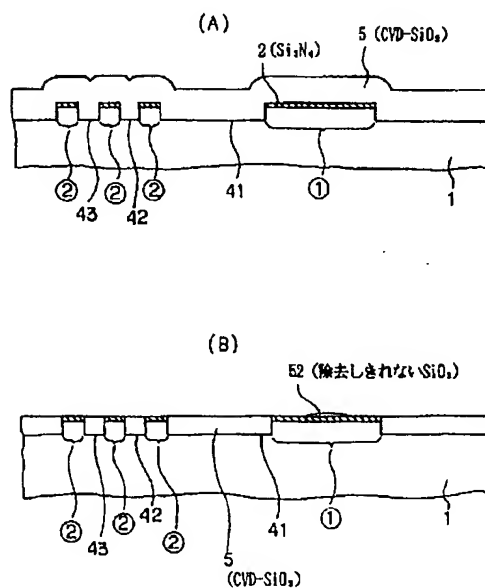
【図21】

実施例11の工程 (つづき)



【図23】

従来技術の問題点



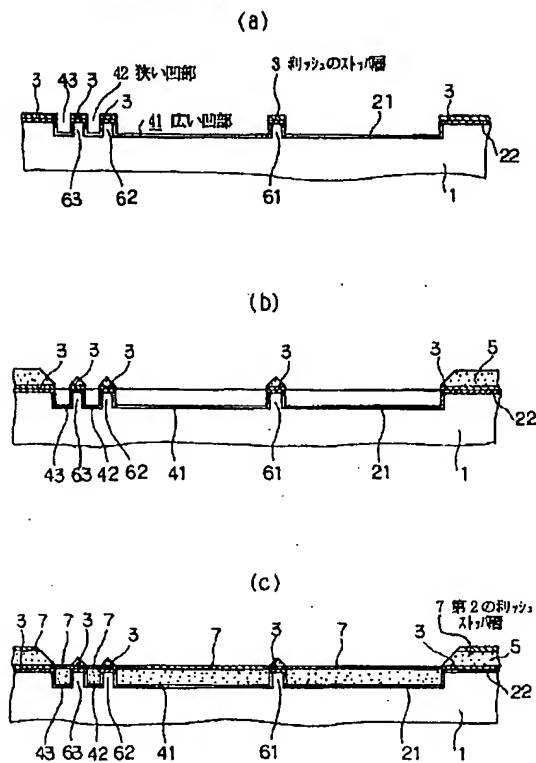


(22)

特開平5-275527

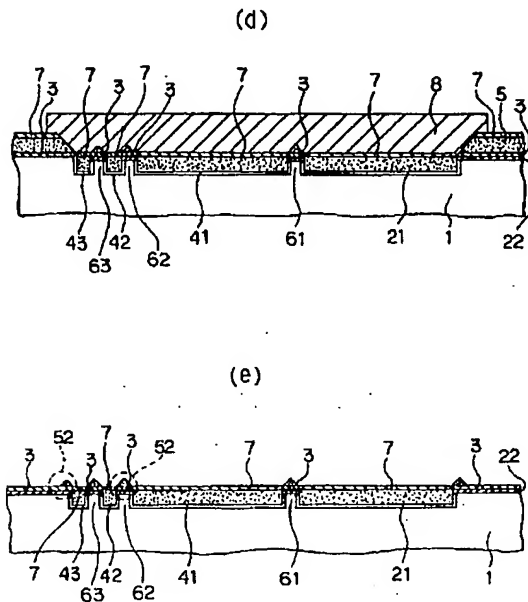
【図19】

実施例11の工程



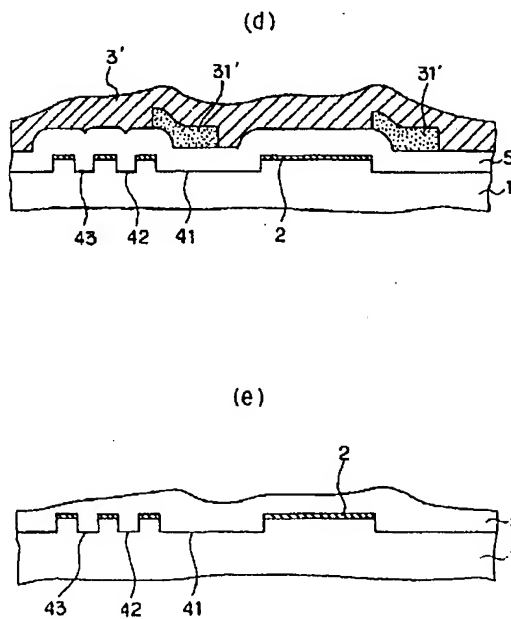
【図20】

実施例11の工程 (つづき)



【図25】

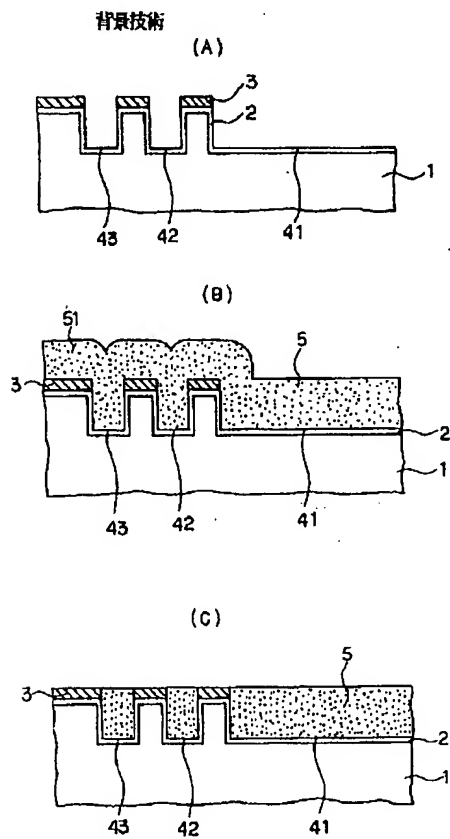
従来技術の問題点 (つづき)



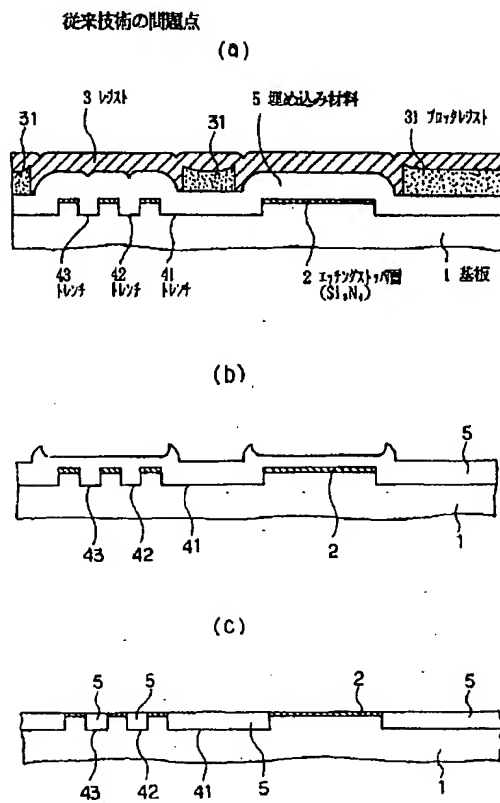
(23)

特開平5-275527

【図22】



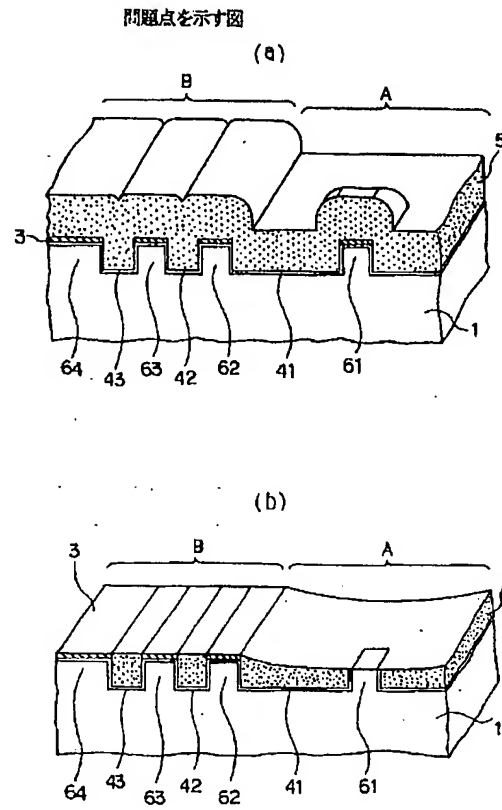
【図24】



(24)

特開平5-275527

【図26】



フロントページの続き

(31)優先権主張番号 特願平4-35676

(32)優先日 平4(1992)1月27日

(33)優先権主張国 日本(JP)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**